

CLIPPEDIMAGE= JP356002667A

PAT-NO: JP356002667A

DOCUMENT-IDENTIFIER: JP 56002667 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: January 12, 1981

INVENTOR-INFORMATION:

NAME

MURAKAMI, SUSUMU

TERASAWA, YOSHIO

OIKAWA, SABURO

YAO, TSUTOMU

OKAMURA, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP54076834

APPL-DATE: June 20, 1979

INT-CL (IPC): H01L029/74, H01L029/80

US-CL-CURRENT: 257/127, 257/621, 257/622, 257/623, 257/654, 257/E29.059

ABSTRACT:

PURPOSE: To increase the withstand voltage of an FET having a gate region buried in the base region of a semiconductor substrate by providing a groove extending from the surface of the substrate to the gate region, by installing a gate electrode at the bottom of the said groove and by having a p-n junction coupled on the side of the groove.

CONSTITUTION: An Si substrate 100 is consisted of p<SP>+</SP>-type anode region 111 and n<SP>-</SP>-type base region 112 and a plurality of p<SP>+</SP>-type buried gate regions 113 are formed on the surface layer of the region 112 by

diffusing. Then, after an n-type layer 116, which will be turned into a cathode region, has been grown on the whole surface of the said region 113, an etching is given leaving the layer 116 only on the area extending from the point between the region 113 to the surface of the end section of the mutually adjoining region 113, and the region 113 is then turned to a bevel type. Then, an n-type cathode region 115 is formed by diffusion, the terminal of a p-n junction of the regions 116 and 115 is exposed to the side of the bevel and a p-type buried gate region 114 is provided on the region 113. On this region 113 a gate electrode 300 is installed and on the region 115 a cathode electrode 400 is installed. Also an anode electrode 200 is installed on the back of the region 111.

COPYRIGHT: (C)1981,JPO&Japio

⑬ 日本国特許庁 (JP)

⑬ 特許出願公開

⑬ 公開特許公報 (A)

昭56—2667

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29/74  
29/80

識別記号

庁内整理番号  
6749—5F  
7925—5F

⑬ 公開 昭和56年(1981)1月12日

発明の数 2  
審査請求 未請求

(全 6 頁)

⑬ 半導体装置およびその製造方法

⑬ 特 願 昭54—76834  
⑬ 出 願 昭54(1979)6月20日  
⑬ 発 明 者 村上進  
日上市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑬ 発 明 者 寺沢義雄  
日上市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑬ 発 明 者 及川三郎  
日上市幸町3丁目1番1号株式

会社日立製作所日立研究所内  
⑬ 発 明 者 八尾勉  
日上市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑬ 発 明 者 岡村昌弘  
日上市幸町3丁目1番1号株式  
会社日立製作所日立研究所内  
⑬ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
⑬ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 半導体装置およびその製造方法

特許請求の範囲

1. 一对の主表面を有し一方の主表面に複数の溝が形成された一方導電型の半導体基体と、半導体基体の相隣る溝間に形成されるメサ頂部に形成され上記半導体基体よりも高不純物濃度を有する一方導電型の第1の半導体領域と、半導体基体内に形成され上記溝底部に露出し溝底部から上記半導体基体の一对の主表面と略平行に上記第1の半導体領域を上記半導体の他方の主表面に投影して生ずる投影部に含まれるまで延び、上記半導体基体との間に露出端部が正べールとなるようなp-n接合を形成する他方導電型の復設の第2の半導体領域と、上記半導体基体の他方の主表面に露出し上記半導体基体よりも高不純物濃度を有する第3の半導体領域と、上記第1の半導体領域および第3の半導体領域の露出表面に形成された一对の主電極と、上記溝底部に露出する第2の半導体領域表面に形成され上

記一对の主電極の一方との間に上記半導体基体と第2の半導体領域との間に形成されるp-n接合を逆バイアスする電圧を印加し上記半導体基体内に空乏層を形成することによつて上記一对の主電極間を流れる主電流を制御する制御電極とを具備することを特徴とする半導体装置。

2. 特許請求の範囲第1項において、上記第3の半導体領域のうち、少なくとも上記第1の半導体領域を上記半導体基体の他方の主表面に投影して生じる投影部に含まれる部分が他方導電型半導体であることを特徴とする半導体装置。

3. 一对の主表面を有する一方導電型の半導体基体の一方の主表面から他方導電型を与える不純物を拡散し他方導電型の高不純物濃度領域を形成する工程と、該工程と同時にあるいはそれに引続いて上記半導体基体の他方の主表面から他方導電型を与える不純物を選択的に拡散し他方導電型のゲート領域を形成する工程と、上記他方の主表面上に気相成長方法によつて一方導電型のエピタキシャル半導体層を堆積する工程と、

上記一方導電型のエピタキヤル半導体層の露出主表面から上記他方導電型のゲート領域に達し、上記エピタキヤル半導体層と上記ゲート領域間に形成されるpn接合がその側面に正ベールをなして露出するような複数の溝を形成する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

#### 発明の詳細な説明

本発明は半導体装置に係り、特に電界効果型半導体装置に関する。

電界効果型半導体装置は、ゲートに所定の電圧を印加することにより半導体装置内部に所定の空乏領域を形成し、この空乏領域を制御することによって半導体装置の主電流を制御するものである。この種半導体装置の代表例としてはこれまでに電界効果型トランジスタ、電界効果型サイリスタが知られている。電界効果型半導体装置において重要な点はいかに低ゲート電圧でいかに高電圧・大電流を制御できるかという点にある。このことは特にこの種装置を電力分野においてスイッチング

(3)

第2に、製法上の問題がある。第1図に示すように、従来、半導体基体1のベース領域12に埋め込まれたゲート領域13を半導体基体1の一方の主表面100に連絡させゲート電極(図示せず)に接続させるために比較的高濃度の拡散領域131を形成する必要があった。この領域131は例えばSiO<sub>2</sub>膜からなるマスク15を用いて選択拡散法により形成される。ところが、マスク15を例えば公知のホトエッチング法により形成するときに剥離等により予期せぬピンホールを生じる場合がある。仮にこのようなピンホール151が存在したとすると、ここから拡散領域131と同じ深さに異常拡散領域132が生じる。この異常拡散領域がカソード領域14に接触すると、ゲート電極とカソード電極(図示せず)の間に拡散領域131、ゲート領域13、異常拡散領域132、カソード領域14とで構成されるp<sup>+</sup>n<sup>+</sup>接合ダイオードが形成され、この部分でゲート・カソード間耐圧が低下するという問題点があった。

第3に、半導体装置の均一性が重要である。大

(5)

装置として使用する場合に重要である。本発明者等は先に、これらの用途に適する構造を有する電界効果型スイッチング素子を提案した(特願昭52-66648号他)。

しかしながら最近、電界効果型サイリスタに寄せられる期待は日増に高まっており、pnpn積層構造を持つ従来型サイリスタと同様KV級の高電圧、100A級の大電流を単独で制御できるものが要望されている。このように大電力を制御するに特有な問題点がいくつか挙げられる。第1には、ゲート・カソード間の耐圧を向上させる点である。空乏層によつてじゃり断されるべきチャンネルを挟めれば机上計算では比較的低ゲート電圧(数V以下)で足りるが、実際にこの種半導体装置を使用する場合にはターンオフ時に制御回路の誘導成分により発生する逆誘起電圧に耐える必要がある。逆誘起電圧はスイッチング時間を短くする程高くなるので、特にスイッチング時間が短いという電界効果型サイリスタの特徴を生かす上で問題となる。

(4)

電流化のために、同一半導体基体内に多数の単位素子を並設し、それぞれの単位素子の電極を共通とする方法は公知である。この場合、各単位素子の構造は同一となることが望ましい。特に第1図に示す如く微細なゲート構造を有する電界効果型半導体装置においてはチャンネル幅dを均一とすることが要求されている。幅dは通常数 $\mu\text{m}$ 〜数10 $\mu\text{m}$ と微小であるので、これまでの製造法では幅dの精密な調整に難があった。

本発明の目的は以上の問題点を解決した改良された電界効果型半導体装置およびその製造方法を提供することにある。

かかる目的を達成するために本発明の特徴とするところは、第1に、半導体基体中のベース領域内に埋め込まれたゲート領域を有する電界効果型半導体装置において、半導体基体の一方の主表面から上記ゲート領域に達する溝を形成し、この溝底部にゲート電極を形成した点にある。

第2に第1の点に加えて、ゲート領域とこれを取囲む反対導電型の半導体領域とで形成される

(6)

p-n接合が上記露の側面に正ベベルとなるように  
 鈍端する点にある。

第3に、一方の主表面に露出する一方導電型の  
 カソード領域、他方導電型のゲート領域、一方導  
 電型のベース領域、他方の主表面に露出する他方  
 導電型のアノード領域を有する半導体構造を形成  
 するの、一方導電型の半導体基体を用意し、こ  
 の半導体基体にまず他方導電型のアノード領域を  
 形成し、それと同時にあるいはそれに引続いてゲ  
 ート領域を形成するようにした点にある。

上記第1の特徴により拡散マスクのピンホール  
 による異常拡散が防止でき、第2の特徴によりゲ  
 ート・カソード間の高耐圧化が達成できる。また、  
 第3の特徴によれば、熱処理時間が長く、半導体  
 基体の膜厚プロファイルに影響を及ぼしやすいア  
 ノード領域を最初に形成してしまうので、以後半  
 導体基体にはその膜厚プロファイルに影響が及ぶ  
 ような熱処理が課せられない。従って、微細な構  
 造が要求されるゲート領域の形状を変化させるこ  
 となく電界効果型半導体装置を製造することがで  
 (7)

はカソード電極400、タンダステン板401を  
 通つて流れるが、カソード電極400は非常に薄  
 いのでここでの電圧降下は小さく、電圧降下によ  
 る電圧上昇は少なくなる。また体積の大きいタン  
 ダステン板が接触しているため、熱放散が良く大  
 電流を通電するのに適した構造である。また、こ  
 の電流を止や断するにはSを閉じてゲート電極  
 300とタンダステン板401との間にJ、接合  
 が逆バイアスとなるようなゲート電圧V<sub>g</sub>を印加  
 する。この電圧によりチャンネル部117が空乏  
 層によりピンチオフされ、同時にn<sup>-</sup>ベース層  
 112内に残存しているキャリアは埋込みゲート  
 領域113を過りゲート電極300に流れ、主電  
 流はターンオフされる。高速でターンオフさせる  
 ためには、チャンネル部117のピンチオフに要  
 する電圧よりも大きなゲート電圧を印加すること  
 が望ましい。

本実施例の特徴をより明確にするために、第2  
 図の実施例の要部拡大図を第3図に示す。第3図  
 において第2図と同じ部分は第2図におけると同

きる。

次に本発明の実施例を説明する。第2図は本発  
 明の一実施例の断面構造である。シリコン半導体  
 基体100はp<sup>+</sup>型アノード領域111、n<sup>-</sup>型  
 ベース領域112、p型埋込みゲート領域113、  
 p<sup>+</sup>型ゲート領域114、n<sup>-</sup>型カソード領域  
 115、n型カソード領域116からなる。200  
 はアノード電極、300はゲート電極、400は  
 カソード電極であり、500は表面保護用SiO<sub>2</sub>  
 膜である。また401はカソード電極400に隣  
 接されているタンダステン板である。次に本実施  
 例半導体装置の動作について説明する。アノード  
 電極200とタンダステン板401との間にJ、  
 接合が順バイアスとなる主電圧V<sub>a</sub>が印加された  
 状態でカソード・ゲート間のSを閉くと111、  
 112、116、115で示される各領域からなる  
 p<sup>+</sup>・n<sup>-</sup>・nn<sup>+</sup>ダイオードに電流が流れる。続  
 いて、111、112、113、116、115  
 で示される各領域からなるp<sup>+</sup>・n<sup>-</sup>・pnn<sup>+</sup>サイ  
 リスタが導通する。この場合、カソード電流i<sub>s</sub>  
 (8)

符号で示す。第3図において、埋込みゲート領域  
 113とカソード領域116とで形成されるp-n  
 接合J、の端部はメサ101の肩部に露出されて  
 おりかつp型埋込みゲート領域113の不純物濃  
 度の方がn型カソード領域116の不純物濃度よ  
 りも大きい。従つて上記p-n接合J、の露出端部  
 は正ベベルとなっている。その結果、後述するよ  
 りにゲート・カソード間の耐圧が向上した。

高不純物濃度のカソード領域115はプレーナ  
 構造を有しており、メサ101の肩部には露出し  
 ていない。このような構造により、ゲート・カ  
 ソード間が逆バイアスされた時にカソード領域116  
 内に形成される空乏層がメサ101肩部に沿つて  
 広がり易いのでこの部分での表面電界が緩和され、  
 ゲート・カソード間耐圧が向上するという効果  
 がある。空乏層の拡がり方の一例を第3図、第4図  
 中に点線で示した。

高不純物濃度のゲート領域114は、ゲート領  
 域113とゲート電極300とのオーミックコン  
 タクトを形成するために選択拡散法により形成さ

(10)

(9)

れる。従来例と異なり、拡散深さが極めて浅い。従って、仮に拡散マスクに予期せぬピンホールがあり、そこから予期せぬ箇所にて $P^+$ 拡散領域が生じたとしても、ゲート・カソード間の耐圧が低下する恐れはない。

第4図は本発明の他の実施例の要部拡大図である。第3図のものとカソード領域115の構造が異なる。すなわち、第4図においてはカソード領域115はメサ101の頂部全面に形成されている。このような構造により、主電流導通面積が大きくなり順方向電圧降下を低減することができる。また第3図に示したような $n^+$ 型カソード領域115を選択拡散する場合のホトエッチングプロセスが不要となるので、製造工程が簡略される利点を有する。第3図のような構造を採用しゲート・カソード間耐圧向上を第1に考えるか、あるいは第4図のような構造を採用し順方向電圧降下低減を第1に考えるかは用途に応じ適宜選択されるべき事項である。

次に上述の実施例半導体装置を製造するに好適

(11)

の後 $P$ 型埋込みゲート領域の一部が露出するよう $n$ 型カソード領域116をエッチングにより除去し凹部118を形成した(1)。この露出した $P$ 型埋込みゲート領域の一部にゲート電極のオーミックコンタクトを良好にするため厚さ約 $3\mu m$ の $P^+$ 型ゲート領域114を選択拡散法により形成した(2)。なおこれまでの説明では簡単のために拡散処理中に半導体形成される酸化膜は省略した。

最後に $P^+$ 型アノード領域111にはタンダステン等のアノード電極200をアルミニウム・アノード電極等のろう材で合金蒸着し、 $n^+$ 型カソード領域115、 $P^+$ 型ゲート領域114の露出部にはホトエッチング法によつてアルミニウム等の金属を蒸着し、ゲート電極300、カソード電極400を形成した。半導体基体の主表面のうち上述の各電極で覆われない部分は $SiO_2$ 膜500で覆われている(3)。完成後測定したところ、ゲート領域113の厚さは約 $40\mu m$ 、ゲート領域113相互の間隔 $d$ は約 $6\mu m$ であつた。

上述の製造方法において重要な点は $P$ 型ゲート

(13)

な方法について第5図を用いて説明する。まず、抵抗率が $50 \sim 300\Omega \cdot cm$ の $n^-$ 型シリコン基板112の一方の主表面から表面濃度が約 $10^{18} \sim 10^{19} cm^{-3}$ となるようにボロン等 $P$ 型を与える不純物を拡散し、厚さ約 $70\mu m$ の $P^+$ 型アノード領域111を形成した(4)。次に他方の主表面から表面濃度が約 $10^{17} \sim 10^{18} cm^{-3}$ となるようにボロン等 $P$ 型を与える不純物を選択的に拡散し、 $P$ 型埋込みゲート領域113を形成した(5)。この $P$ 型埋込みゲート領域113を完全に埋設させるようリンを不純物として含む濃度が $10^{15} \sim 10^{16} cm^{-3}$ の厚さ $20\mu m$ の $n$ 型カソード領域116をエピタキシャル成長法で形成した(6)。次にこの $n$ 型カソード領域116の露出表面からリンを不純物として含む表面濃度が約 $10^{18} cm^{-3}$ 、厚さが約 $8\mu m$ の $P^+$ 型カソード領域115を選択拡散法で形成した(7)。この $n^+$ 型カソード領域115はその下方に $P$ 型埋込みゲート領域113が存在している部分(サイリスタ領域)と存在していない部分(ダイオード領域)を含むようにする。そ

(12)

領域113の拡散に先立つて $P$ 型アノード領域111の拡散を実施している点である。 $P$ 型ゲート領域113相互の間隔 $d$ はこの種半導体装置のスイッチング特性を決定する上で重要な数値であり、所期の特性を得るためには精密に制御する必要がある。しかるに、仮にこれらの工程が逆であつたならば、 $P$ 型ゲート領域113形成後 $P^+$ 型アノード領域111を形成するための長時間熱処理を受けるので上述の間隔 $d$ にはばらつきが生じ易くなる。なお、 $P^+$ 型アノード領域114および $n^+$ 型カソード領域115形成時の熱処理時間はこれらの領域が高々数 $\mu m$ と薄いので比較的短く、上述の間隔 $d$ に及ぼす影響は無視でき得る。

本発明者等の実験によれば、上述の本実施例製法に従つた場合、間隔 $d$ のばらつきは $d = 6\mu m$ の設計値に対して約10%であつたが、 $P^+$ 型アノード領域111を後から形成した場合は30%であつた。

上述した本発明の一実施例製法と同様の効果は、更に次の製法によつても享受できる。すなわち、

(14)

例えばn型のシリコン基板を用意し、このシリコン基板の一方の主表面側に第5図に示すと同様にp型ゲート領域113、n型カソード領域116、n<sup>+</sup>型カソード領域115および凹部118を形成する。次に、凹部118の底部でp型ゲート領域113の露出部に選択的に、およびシリコン基板の他方の主表面全体に同時に同じ厚さ（数μm）のp<sup>+</sup>型半導体層を拡散法により形成する。凹部118の底部のp<sup>+</sup>型半導体層はp<sup>+</sup>型ゲート領域114であり、他方の主表面のp<sup>+</sup>型半導体層はp<sup>+</sup>型アノード領域111である。

この製法に従えば上述の効果に加えて次の効果がある。第1にp<sup>+</sup>型アノード領域はp<sup>+</sup>型ゲート領域と同時に形成されるので、半導体装置の製造工程が簡略化される。第2にp<sup>+</sup>型アノード領域の厚さはp<sup>+</sup>型ゲート領域と同程度に薄くなるので、半導体装置の順方向電圧降下が小さくなる効果を得る。すなわち、p<sup>+</sup>型アノード領域111が薄い場合、p<sup>+</sup>型アノード領域111のアノード電極200と接する部分での多数キャリア

(15)

なお、上述の各実施例において各半導体領域の導電型は固定されるべきものではなく、必要に応じてpとnが適宜交換されてよいことは明らかであろう。特に、アノード領域のうち、少なくともゲート電極をアノード領域に投影して生ずる投影部に含まれる部分をベース領域と同一導電型とすることにより、高速化が達成される（特願昭52-86021号参照）。また、本発明は電界効果型サイリスタにおいて特に効果を発揮するものではあるが、類似のゲート構造を必要とする電界効果型トランジスタにも適用でき得るものである。

更に、上述の実施例製法において、p<sup>+</sup>型アノード領域111とp型ゲート領域113とは同時に形成されても良く、この場合は製造工程が簡略化されるという利点がある。

以上詳細に説明したように、本発明はゲート・カソード間耐圧が改善され、均一性に優れた電界効果型半導体装置を得るのに効果がある。

図面の簡単な説明

第1図は従来の電界効果型サイリスタの一例を

(17)

示し、ゲート電圧は低電圧平衡値を保つから、p<sup>+</sup>型アノード領域111内の多数キャリア濃度勾配が大きくなる。従つて、低い接合電位でかつ拡散電流が大きくなり、他の電気特性を損なわずに順方向電圧降下が小さくなる。

更に、後述するようにp<sup>+</sup>型アノード領域の一部をn<sup>+</sup>型半導体領域に置き換えて高速化を図る場合、該n<sup>+</sup>型半導体領域を第5図(e)に示すn<sup>+</sup>型カソード領域の形成と同時に進行することが可能である。このようにすれば一層、製造工程が簡略化されかつ高速化が達成される。

次に本実施例半導体装置の効果を具体的に説明する。第2図に示す半導体装置を第5図に示す製法にて製造した場合、ゲート・カソード間耐圧は約150Vであり、選択拡散マスクに存在するピンホール等起因するゲート・カソード間耐圧の低下は皆無であつた。これに対し、第1図に例示した半導体装置では各半導体領域の不純物濃度、寸法を略同じにした場合、そのゲート・カソード間耐圧は約70Vであつた。

(16)

製作する一工程を示す図、第2図は本発明の一実施例電界効果型サイリスタを示す断面図、第3図は本発明の一実施例電界効果型サイリスタの空部断面図、第4図は本発明の他の実施例電界効果型サイリスタの要部断面図、第5図は本発明の一実施例電界効果型サイリスタの一製法の工程を示す図である。

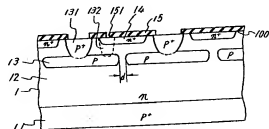
100…半導体基体、111…p<sup>+</sup>型アノード領域、112…n<sup>+</sup>型ベース領域、113…p型ゲート領域、114…p<sup>+</sup>型ゲート領域、115…n<sup>+</sup>型ゲート領域、116…n型カソード領域、200…アノード電極、300…ゲート電極、400…カソード電極。

代理人 弁理士 高橋明夫

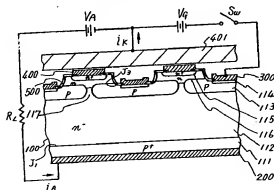


(18)

第 1 図

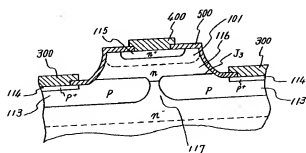


第 2 図

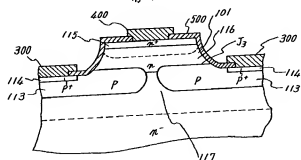


第 5 図

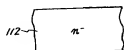
第 3 図



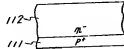
第 4 図



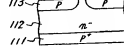
(a)



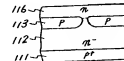
(b)



(c)



(d)



(e)



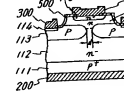
(f)



(g)



(h)





HPS Trailer Page  
for

**EAST**

---

UserID: JMondt\_Job\_1\_of\_1

Printer: cp4\_3c03\_gbfhptr

**Summary**

<u>Document</u>	<u>Pages</u>	<u>Printed</u>	<u>Missed</u>	<u>Copies</u>
JP356002667A	6	6	0	1
Total (1)	6	6	0	-